

DIALOG(R) File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

013263290 **Image available**

WPI Acc No: 2000-435195/ 200038

XRPX Acc No: N00-325235

CMOS-type image sensor has noise controller for each pixel block, that regulates noise of pixel output for each output row or column selected by corresponding scan shift register

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000152085	A	20000530	JP 98318117	A	19981109	200038 B

Priority Applications (No Type Date): JP 98318117 A 19981109

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000152085	A	17	H04N-005/335	

Abstract (Basic): JP 2000152085 A

NOVELTY - A noise controller (151,152) for each pixel block (101,102), regulates the noise of a pixel output for each output row or column selected. A scan shift register (121) selects the reading line of the pixels arranged in a row in each pixel block. Another scan shift register (131) selects the reading line of the pixels arranged in a column in each pixel block.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for a CMOS-type image sensor manufacture.

USE - None given.

ADVANTAGE - Reduces retardation of load wiring in pixel array number of design processes. Detects and corrects gain variation of amplifier. Reduces leading of analog signal and generated noise. Ensures reliable manufacture of image sensor.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of a CMOS-type image sensor.

Pixel block (101,102)

Scan shift register (121,131)

Noise controller (151,152)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-152085
(P2000-152085A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 4 N	5/335	H 0 4 N 5/335	E 4 M 1 1 8
			Z 5 B 0 4 6
H 0 1 L	27/146	H 0 1 L 27/14	A 5 C 0 2 4
// G 0 6 F	17/50	G 0 6 F 15/60	6 5 8 B

審査請求 有 請求項の数 9 O L (全 17 頁)

(21) 出願番号 特願平10-318117
(22) 出願日 平成10年11月9日 (1998.11.9)

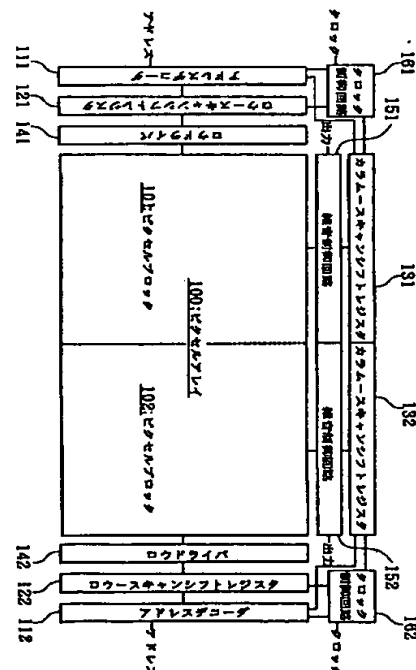
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 村松 良徳
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 100099830
弁理士 西村 征生
Fターム (参考) 4M118 AA05 AA10 AB01 BA14 EA01
FA06 FA50
5B046 AA08 BA05
5C024 CA05 CA31 CA33 FA01 FA11
GA31 HA18 JA09 JA10

(54) 【発明の名称】 イメージセンサ及びその製作方法

(57) 【要約】

【課題】 イメージセンサにおいて、ピクセルアレイと周辺回路を、2分割又は4分割して配置できるようにする。

【解決手段】 開示されるイメージセンサは、ピクセルを行方向と列方向とに二次元に配列したピクセルブロック101等を、行方向又は列方向に2個連接して配列してピクセルアレイ100を形成し、ピクセルブロックを形成する複数のピクセルの読み出し行を列方向に選択するロウスキャンシフトレジスタ121、ロウドライバ141等を各ピクセルブロックの列側の外側に沿って配置し、ピクセルブロックを形成する複数のピクセルの出力列を行方向に選択するカラムスキャンシフトレジスタ131等を各ピクセルブロックの行側の外側に沿って配置するとともに、出力列ごとにピクセル出力の雑音制御を行う雑音制御回路151等をカラムスキャンシフトレジスタに隣接して配置したものである。



【特許請求の範囲】

【請求項1】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックを、前記行方向又は列方向に2個連続して配列してピクセルアレイを形成するとともに、該ピクセルブロックを形成する複数のピクセルの読み出し行を列方向に選択するロウ選択手段を各ピクセルブロックの列側の外側に沿って配置し、該ピクセルブロックを形成する複数のピクセルの出力列を行方向に選択するカラム選択手段を各ピクセルブロックの行側の外側に沿って配置するとともに、該出力列ごとにピクセル出力の雑音制御を行う雑音制御手段を前記カラム選択手段ごとに隣接して配置したことを特徴とするイメージセンサ。

【請求項2】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックを、前記行方向及び列方向に2個ずつ連続して配列してピクセルアレイを形成するとともに、該ピクセルブロックを形成する複数のピクセルの読み出し行を列方向に選択するロウ選択手段を各ピクセルブロックの列側の外側に沿って配置し、該ピクセルブロックを形成する複数のピクセルの出力列を行方向に選択するカラム選択手段を各ピクセルブロックの行側の外側に沿って配置するとともに、該出力列ごとにピクセル出力の雑音制御を行う雑音制御手段を前記カラム選択手段ごとに隣接して配置したことを特徴とするイメージセンサ。

【請求項3】 前記行方向及び／又は列方向に接続する2個のピクセルブロックごとに、感度比較・校正用ピクセルを設け、該感度比較・校正用ピクセルに基づく両ピクセルブロックの雑音制御手段の出力を比較することによって、該両雑音制御手段の出力増幅器の利得ばらつきを検出するように構成したことを特徴とする請求項1又は2記載のイメージセンサ。

【請求項4】 前記利得ばらつきを検出結果に基づいて、前記両雑音制御手段の出力増幅器の利得ばらつきを補正するように構成したことを特徴とする請求項3記載のイメージセンサ。

【請求項5】 前記各雑音制御手段の出力側に該雑音制御手段からのアナログ信号からなる出力をデジタル信号に変換するアナログデジタル変換手段を設けたことを特徴とする請求項1又は2記載のイメージセンサ。

【請求項6】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンと、該第1のパターンを行方向又は列方向に反転した第2のパターンとを、該両パターンにおける前記各ピクセルブロックのパターンが、行方向又は列方向に接続して配列してピクセルアレイのパターンを形成するように配置した露光用マスクを用いて基板上に露光を行

うことによって、該基板上にイメージセンサを形成することを特徴とするイメージセンサの製作方法。

【請求項7】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンと、該第1のパターンを行方向に反転した第2のパターンと、該第1のパターンを列方向に反転した第3のパターンと、該第1のパターンを行方向及び列方向に反転した第4のパターンとを、該各パターンにおける前記各ピクセルブロックのパターンが、行方向及び列方向に接続して配列してピクセルアレイのパターンを形成するように配置した露光用マスクを用いて基板上に露光を行うことによって、該基板上にイメージセンサを形成することを特徴とするイメージセンサの製作方法。

【請求項8】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置して形成した第1のパターンを有する露光用マスクと、該第1のパターンを行方向又は列方向に反転した第2のパターンを有する露光用マスクとを用いて、該両露光用マスクによる前記両ピクセルブロックのパターンが、行方向または列方向に接続して配列してピクセルアレイのパターンを形成するように1つの基板上に順次露光を行うことによって、該基板上にイメージセンサを形成することを特徴とするイメージセンサの製作方法。

【請求項9】 複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンを有する露光用マスクと、該第1のパターンを行方向に反転した第2のパターンを有する露光用マスクと、該第1のパターンを列方向に反転した第3のパターンを有する露光用マスクと、該第1のパターンを行方向及び列方向に反転した第4のパターンを有する露光用マスクとを用いて、該各露光用マスクによる前記各ピクセルブロックのパターンが、行方向及び列方向に接続して配列してピクセルアレイのパターンを形成するように1つの基板上に順次露光を行うことによって、該基板上にイメージセンサを形成することを特徴とするイメージセンサの製作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、CMOS (Complementary Metal Oxide Semiconductor) 型イメージセンサに係り、特に、受光部と周辺回路を、それぞれ分割し

て形成することによって、性能を向上するとともに設計工数を大幅に削減した、イメージセンサ及びその製作方法に関する。

【0002】

【従来の技術】従来のCMOS型イメージセンサは、一体化して形成された受光部に対して、一組だけの周辺回路を備える構成を有していた。図9は、従来のCMOS型イメージセンサの構成を示す図である。ピクセルアレイ10は、フォトダイオードを含む単位のピクセルを、複数個、基板平面上にマトリクス状に配列して構成したものである。外部からのアドレス信号に応じて、アドレスデコーダ11によって、ロウ（行）方向とカラム（列）方向の先頭アドレスを生成して、ロウスキャンシフトレジスタ12と、カラムスキャンシフトレジスタ13とに供給する。そして、クロックに応じて、ロウスキャンシフトレジスタ12で、垂直方向の先頭アドレスから、順次シフトするロウアドレスを生成して、ロウドライバ14によって、ピクセルアレイ10における、ロウアドレスに対応するワード線を駆動する。一方、クロックに応じて、カラムスキャンシフトレジスタ13によって、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルアレイ10における、カラムアドレスに対応するビット線を駆動する。これによって、ピクセルアレイ10における、ロウアドレスとカラムアドレスで指定されたピクセルにおいて、フォトダイオードで発生した光電変換出力に対して、雑音制御回路15によって、所要の雑音制御を行って出力を発生する。クロック制御回路16は、外部からのクロック信号に応じて、アドレスデコーダ11、ロウスキャンシフトレジスタ12、カラムスキャンシフトレジスタ13に対して、所要のクロックを供給する。

【0003】このように、従来のイメージセンサでは、ピクセルアレイとその周辺回路とを一組だけ有し、選択された任意のロウアドレス及びカラムアドレスに従って指定されたフォトダイオードで発生した、アナログ信号からなる光電変換出力が、雑音制御回路を経て、順次、外部に出力されるように構成されていた。

【0004】

【発明が解決しようとする課題】ところで、イメージセンサにおいて光電変換機能を受け持つピクセルアレイは、画質向上のために、画素数を増加することが要求されており、そのため、ピクセルアレイを搭載する半導体チップは、ピクセル数の増加に伴って、次第に大規模化している。しかしながら、チップ規模が大きくなるに伴って、基板上におけるピクセルアレイの配線負荷の影響が大きくなり、そのため、イメージセンサとしての動作速度が低下して、結果的にフォームレートを下げなければならなくなるという問題がある。また、大規模チップの場合、回路設計及び基板露光用マスクのレイアウトのための工数が著しく増大するという問題がある。

【0005】この発明は、上述の事情に鑑みてなされたものであって、回路設計及びマスキレイアウトのための工数を削減することができるとともに、基板上の配線負荷を小さくすることが可能な、CMOS型イメージセンサを提供することを目的としている。

【0006】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックを、上記行方向又は列方向に2個連続して配列してピクセルアレイを形成するとともに、該ピクセルブロックを形成する複数のピクセルの読み出し行を列方向に選択するロウ選択手段を各ピクセルブロックの列側の外側に沿って配置し、該ピクセルブロックを形成する複数のピクセルの出力列を行方向に選択するカラム選択手段を各ピクセルブロックの行側の外側に沿って配置するとともに、該出力列ごとにピクセル出力の雑音制御を行う雑音制御手段を上記カラム選択手段ごとに隣接して配置したことを特徴としている。

【0007】請求項2記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックを、上記行方向及び列方向に2個ずつ連続して配列してピクセルアレイを形成するとともに、該ピクセルブロックを形成する複数のピクセルの読み出し行を列方向に選択するロウ選択手段を各ピクセルブロックの列側の外側に沿って配置し、該ピクセルブロックを形成する複数のピクセルの出力列を行方向に選択するカラム選択手段を各ピクセルブロックの行側の外側に沿って配置するとともに、該出力列ごとにピクセル出力の雑音制御を行う雑音制御手段を上記カラム選択手段ごとに隣接して配置したことを特徴としている。

【0008】請求項3記載の発明は、請求項1又は2記載のイメージセンサに係り、上記行方向及び／又は列方向に接続する2個のピクセルブロックごとに、感度比較・較正用ピクセルを設け、該感度比較・較正用ピクセルに基づく両ピクセルブロックの雑音制御手段の出力を比較することによって、該両雑音制御手段の出力増幅器の利得ばらつきを検出するように構成したことを特徴としている。

【0009】請求項4記載の発明は、請求項3記載のイメージセンサに係り、上記利得ばらつきの検出結果に基づいて、上記両雑音制御手段の出力増幅器の利得ばらつきを補正するように構成したことを特徴としている。

【0010】また、請求項5記載の発明は、請求項1又は2記載のイメージセンサに係り、上記各雑音制御手段の出力側に該雑音制御手段からのアナログ信号からなる出力をデジタル信号に変換するアナログデジタル変換手段を設けたことを特徴としている。

【0011】請求項6記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配

列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンと、該第1のパターンを行方向又は列方向に反転した第2のパターンとを、該両パターンにおける上記各ピクセルブロックのパターンが、行方向又は列方向に接続して配列してピクセルアレイのパターンを形成するように配置した露光用マスクを用いて基板上に露光を行うことによって、該基板上にイメージセンサを形成することを特徴としている。

【0012】請求項7記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンと、該第1のパターンを行方向に反転した第2のパターンと、該第1のパターンを列方向に反転した第3のパターンと、該第1のパターンを行方向及び列方向に反転した第4のパターンとを、該各パターンにおける上記各ピクセルブロックのパターンが、行方向及び列方向に接続して配列してピクセルアレイのパターンを形成するように配置した露光用マスクを用いて基板上に露光を行うことによって、該基板上にイメージセンサを形成することを特徴としている。

【0013】請求項8記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置して形成した第1のパターンを有する露光用マスクと、該第1のパターンを行方向又は列方向に反転した第2のパターンを有する露光用マスクとを用いて、該両露光用マスクによる上記両ピクセルブロックのパターンが、行方向または列方向に接続して配列してピクセルアレイのパターンを形成するように1つの基板上に順次露光を行うことによって、該基板上にイメージセンサを形成することを特徴としている。

【0014】請求項9記載の発明は、イメージセンサに係り、複数のピクセルを行方向と列方向とに二次元に配列したピクセルブロックのパターンに対して、該ピクセルブロックの列側の外側に沿って列側の周辺回路のパターンを配置し、該ピクセルブロックの行側の外側に沿って行側の周辺回路のパターンを配置した第1のパターンを有する露光用マスクと、該第1のパターンを行方向に反転した第2のパターンを有する露光用マスクと、該第1のパターンを列方向に反転した第3のパターンを有する露光用マスクと、該第1のパターンを行方向及び列方

向に反転した第4のパターンを有する露光用マスクとを用いて、該各露光用マスクによる上記各ピクセルブロックのパターンが、行方向及び列方向に接続して配列してピクセルアレイのパターンを形成するように1つの基板上に順次露光を行うことによって、該基板上にイメージセンサを形成することを特徴としている。

【0015】

【作用】この発明の構成では、1チップのピクセルアレイが、2分割又は4分割されていて、それぞれピクセルブロックを形成し、各ピクセルブロックにそれぞれに行方向と列方向のアドレス発生部と読み出し信号に対する雑音制御回路とを有する周辺回路を備えることによって、それぞれ独立に分割動作と分割読み出しを行うので、ピクセルアレイ内の配線の負荷による遅延を小さくし、読み出しのフレームレートを向上させることができるとともに、回路設計とマスクレイアウトの工数を大幅に削減することができる。

【0016】またこの発明の別の構成では、上述の構成において、さらに、2個のピクセルブロックごとに、感度比較・校正用ピクセルを設けたことによって、各ピクセルブロックの雑音制御回路内の出力増幅器の利得ばらつきを検出することができるとともに、検出結果に基づいて各出力増幅器の利得ばらつきを規正することができる。

【0017】またこの発明のさらに別の構成では、各ピクセルブロックごとにアナログディジタル変換器を備えて、それぞれの雑音制御回路の出力をディジタル信号に変換してから出力するようにしたので、アナログ信号配線を長く引き回すことに基づく、出力増幅器の利得ばらつきや、電源及び周辺回路部などから混入する雑音を低減することができる。

【0018】またこの発明の方法では、ピクセルアレイを2分割または4分割したピクセルブロックごとに、それぞれ周辺回路を備えたイメージセンサを製作する際に、一組のピクセルブロックと周辺回路のみの回路設計とマスクレイアウト設計のみを行って形成したパターンと、このパターンを所要の向きに反転したパターンとを用い、各組のパターンを、それぞれのピクセルブロックが接続してピクセルアレイを形成するように配置して作製した露光用マスクを用いて基板上に露光を行って、イメージセンサを製作するので、露光用マスクを作成するための回路設計とマスクレイアウトの工数を削減することができる。

【0019】またこの発明の別の方法では、ピクセルアレイを2分割または4分割したピクセルブロックごとに、それぞれ周辺回路を備えたイメージセンサを製作する際に、一組のピクセルブロックと周辺回路のみの回路設計とマスクレイアウト設計のみを行って形成したパターンによって作成した露光用マスクと、この露光用マスクのパターンを所要の向きに反転したパターンによって

作成した露光用マスクとを用いて、基板上でそれぞれのピクセルブロックが接続してピクセルアレイを形成するように位置合わせして露光を行って、イメージセンサを製作するので、露光用マスクを作成するための回路設計とマスクレイアウトの工数を削減することができるとともに、2枚又は4枚の露光用マスクを用いて、2回又は4回の露光を行うことによって、1つのイメージセンサのチップを作成するので、1枚の露光用マスクによって露光可能な面積に対して、最大2倍又は4倍の面積規模のイメージセンサを製作することができる。

【0020】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的にこなう。

◇第1実施例

図1は、この発明の第1実施例であるイメージセンサの電気的構成を示すブロック図である。この例のイメージセンサは、図1に示すように、ピクセルブロック101、102と、アドレスデコーダ111、112と、ロウスキャンシフトレジスタ121、122と、カラムスキャンシフトレジスタ131、132と、ロウドライバ141、142と、雑音制御回路151、152と、クロック制御回路161、162とから概略構成されている。

【0021】ピクセルブロック101、102は、1チップのピクセルアレイを2分割した回路ブロックからなり、一平面上に左右（行方向、以下略す）又は上下（列方向、以下略す）に連続して並べたときに、ピクセルアレイ100を形成するように、基板のマスクレイアウト時、又は基板露光時に配置されるが、これらは左右又は上下でそれぞれ独立に分割動作と分割読み出しを行うことができるようになっている。アドレスデコーダ111、112は、それぞれ外部からのアドレス信号に応じて、垂直方向（列方向、以下略す）と水平方向（行方向、以下略す）の先頭アドレスを生成して、ロウスキャンシフトレジスタ121、122と、カラムスキャンシフトレジスタ131、132に供給する。ロウスキャンシフトレジスタ121、122は、それぞれクロックに応じて、垂直方向の先頭アドレスから、順次シフトするロウアドレスを生成する。ロウドライバ141、142は、ロウスキャンシフトレジスタ121、122からのロウアドレスに応じて、それぞれピクセルブロック101、102における、ロウアドレスに対応するワード線を駆動する。カラムスキャンシフトレジスタ131、132は、それぞれクロックに応じて、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルブロック101、102における、カラムアドレスに対応するビット線を駆動する。雑音制御回路151、152は、それぞれピクセルブロック101、102における、各ビット線から読み出され

る各ピクセルからの光電変換出力に対して、所要の雑音制御を行って出力を発生する。クロック制御回路161、162は、それぞれ、外部からのクロック信号に応じて、アドレスデコーダ111、112、ロウスキャンシフトレジスタ121、122、カラムスキャンシフトレジスタ131、132に対して、所要のクロックを供給する。

【0022】次に、図1を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101、102では、それぞれクロック制御回路161、162によって、アドレスデコーダ111、112、ロウスキャンシフトレジスタ121、122、カラムスキャンシフトレジスタ131、132にクロックを供給することによって、アドレスデコーダ111、112で生成された、ピクセルブロック101、102における、垂直方向と水平方向の先頭アドレスに応じて、ロウスキャンシフトレジスタ121、122において、それぞれクロックに応じて、垂直方向の先頭アドレスから順次シフトするアドレスを生成して、ロウドライバ141、142を介して、ピクセルアレイブロック101、102における、ロウアドレスに対応するワード線を駆動し、カラムスキャンシフトレジスタ131、132において、それぞれクロックに応じて、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルブロック101、102における、カラムアドレスに対応するビット線を駆動する。そして、ピクセルブロック101、102における、ロウアドレスとカラムアドレスで指定されたピクセルから、ビット線を介して読み出される光電変換出力に対して、それぞれ雑音制御回路151、152によって、所要の雑音制御を行って出力を発生する。

【0023】図示されない外部回路では、例えば1フレーム分すなわち、1チップのピクセルアレイ相当のメモリを備えて、それぞれ雑音制御回路151、152から出力された、ピクセルブロック101、102に基づく画像情報を蓄積し、アドレス操作によって、ピクセルブロック101、102における、対応するワード線の走査が水平方向に連続して、順次、垂直方向に行われるとともに、ビット線の読み出しが水平方向に順次、連続して行われて、1チップのピクセルアレイからの読み出しと同様の出力が得られるように、所要の合成処理を行って映像出力を発生する。

【0024】このように、この例のイメージセンサでは、読み出しが、カラム側（又はロウ側）で2分割されるため、ピクセルアレイ内の配線の負荷による遅延が小さくなるとともに、分割読み出しを行うため、読み出しのフレームレートを向上させることができ、従って、イメージセンサの性能を向上させることができる。さらに、1チップのピクセルアレイ中の任意の1/2の部分の、回路設計とマスクレイアウトのみを行って、残りの

部分は、例えば左右（又は上下）に反転したパターンを用意して、マスクレイアウト時または基板露光時に、両ピクセルブロックが左右（又は上下）に連続的に並ぶように、2分割した回路ブロックを配置することによって、ピクセルアレイを形成するので、イメージセンサの設計工数を大幅に削減することができる。

【0025】◇第2実施例

図2は、この発明の第2実施例であるイメージセンサの電氣的構成を示すブロック図である。この例のイメージセンサは、図2に示すように、ピクセルブロック101、102、103、104と、アドレスデコーダ111、112、113、114と、ロウスキャンシフトレジスタ121、122、123、124と、カラムスキャンシフトレジスタ131、132、133、134と、ロウドライバ141、142、143、144と、雑音制御回路151、152、153、154と、クロック制御回路161、162、163、164とから概略構成されている。

【0026】ピクセルブロック101、102、103、104は、1チップのピクセルアレイを4分割した回路ブロックからなり、一平面上に左右、上下に連続して並べたとき、ピクセルアレイ100Aを形成するように、基板のマスクレイアウト時、又は基板露光時に配置されるが、これらは左右、上下でそれぞれ独立に分割動作と分割読み出しを行うことができるようになっている。アドレスデコーダ111、112、113、114は、それぞれ外部からのアドレス信号に応じて、垂直方向と水平方向の先頭アドレスを生成して、ロウスキャンシフトレジスタ121、122、123、124と、カラムスキャンシフトレジスタ131、132、133、134に供給する。ロウスキャンシフトレジスタ121、122、123、124は、それぞれクロックに応じて、垂直方向の先頭アドレスから、順次シフトするロウアドレスを生成する。ロウドライバ141、142、143、144は、ロウスキャンシフトレジスタ121、122、123、124からのロウアドレスに応じて、それぞれピクセルブロック101、102、103、104における、ロウアドレスに対応するワード線を駆動する。カラムスキャンシフトレジスタ131、132、133、134は、それぞれクロックに応じて、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルブロック101、102、103、104における、カラムアドレスに対応するビット線を駆動する。雑音制御回路151、152、153、154は、それぞれピクセルブロック101、102、103、104における、各ビット線から読み出された、各ピクセルの光電変換出力に対して、所要の雑音制御を行って出力を発生する。クロック制御回路161、162、163、164は、それぞれ、外部からのクロック信号に応じて、アドレスデコーダ11

1、112、113、114、ロウスキャンシフトレジスタ121、122、123、124、カラムスキャンシフトレジスタ131、132、133、134に対して、所要のクロックを供給する。

【0027】次に、図2を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101、102、103、104では、それぞれクロック制御回路161、162、163、164によって、アドレスデコーダ111、112、113、114、ロウスキャンシフトレジスタ121、122、123、124、カラムスキャンシフトレジスタ131、132、133、134にクロックを供給することによって、アドレスデコーダ111、112、113、114で生成された、ピクセルブロック101、102、103、104における、垂直方向と水平方向の先頭アドレスに応じて、ロウスキャンシフトレジスタ121、122、123、124において、それぞれクロックに応じて、垂直方向の先頭アドレスから順次シフトするロウアドレスを生成して、ロウドライバ141、142、143、144を介して、ピクセルブロック101、102、103、104における、ロウアドレスに対応するワード線を駆動し、カラムスキャンシフトレジスタ131、132、133、134において、それぞれクロックに応じて、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルブロック101、102、103、104における、カラムアドレスに対応するビット線を駆動する。そして、ピクセルブロック101、102、103、104における、ロウアドレスとカラムアドレスで指定されたピクセルから、ビット線を介して読み出された光電変換出力に対して、それぞれ雑音制御回路151、152、153、154によって、所要の雑音制御を行って出力を発生する。

【0028】図示されない外部回路では、例えば1フレーム分すなわち、1チップのピクセルアレイ相当のメモリを備えて、それぞれ雑音制御回路151、152、153、154から出力された、ピクセルブロック101、102、103、104に基づく画像情報を蓄積し、アドレス操作によって、ピクセルブロック101、102及び103、104における、対応するワード線の走査が水平方向に連続して、順次、垂直方向に行われるとともに、ピクセルブロック101、103及び102、104における、対応するビット線の走査が垂直方向に連続して、順次、水平方向に行われて、1チップのピクセルアレイからの読み出しと同様の出力が得られるように、所要の合成処理を行って映像出力を発生する。

【0029】このように、この例のイメージセンサでは、読み出しが、カラム側とロウ側とでそれぞれ2分割されるため、ピクセルアレイ内の配線の負荷による遅延が小さくなるとともに、分割読み出しを行うため、読み出しのフレームレートを向上させることができ、従っ

て、イメージセンサの性能を向上させることができる。さらに、1チップのピクセルアレイ中の任意の1/4の部分の回路設計とマスキレイアウトのみを行って、残りの部分は、例えば左右及び/又は上下に反転したパターンを用意して、マスキレイアウト時または基板の露光時に、4個のピクセルブロックが左右、上下に連続的に並ぶように、4分割した回路ブロックを配置することによって、ピクセルアレイを形成するので、イメージセンサの設計工数を大幅に削減することができる。

【0030】◇第3実施例

図3は、この発明の第3実施例であるイメージセンサの電氣的構成を示すブロック図である。この例のイメージセンサは、図3に示すように、ピクセルブロック101、102と、アドレスデコーダ111、112と、ロウスキャンシフトレジスタ121、122と、カラムスキャンシフトレジスタ131、132と、ロウドライバ141、142と、雑音制御回路151A、152Aと、クロック制御回路161、162と、感度比較・較正用ピクセル171とから概略構成されている。

【0031】この例において、ピクセルブロック101、102と、アドレスデコーダ111、112と、ロウスキャンシフトレジスタ121、122と、カラムスキャンシフトレジスタ131、132と、ロウドライバ141、142と、クロック制御回路161、162とは、それぞれ図1に示された第1実施例における、同じ符号の回路要素と同じ構成を有し、それらの機能もまた同様なので、以下においては、これらについての詳細な説明を省略し、又は簡略化する。感度比較・較正用ピクセル171は、ピクセルアレイ100の有効画素領域外に設けられていて、図示されない制御部の制御に基づいて、テスト時に、その光電変換出力を、それぞれ雑音制御回路151A、152Aに読み出す。雑音制御回路151A、152Aは、それぞれピクセルブロック101、102における、各ビット線から読み出される、各ピクセルからの光電変換出力に対して、所要の雑音制御を行って出力を発生するとともに、図示されない制御部の制御に基づいて、感度比較・較正用ピクセル171の読み出し出力に基づく、両雑音制御回路151A、152Aの出力増幅器における、出力レベルの比較を行い、利得ばらつきを検出するとともに、検出結果に基づいて出力増幅器の利得を調整するように構成されている。

【0032】次に、図3を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101、102では、図1の場合と同様にして、分割動作と分割読み出しを行って、ロウアドレスとカラムアドレスの指定に応じて、各ピクセルからの光電変換出力を発生し、雑音制御回路151A、152Aでは、これに対して、それぞれ所要の雑音制御を行って出力を発生する。この際、図示されない制御部の制御に応じて、感度比較・較

正用ピクセル171の出力に基づく、雑音制御回路151A、152Aのそれぞれの出力増幅器の出力レベルを比較することによって、両雑音制御回路151A、152Aにおける、出力増幅器を含むそれぞれの利得ばらつきの有無と大きさを知ることができる。さらに、図示されない制御部の制御に応じて、出力レベルの検出結果に基づいて、両雑音制御回路151A、152Aにおける、それぞれの出力増幅器の利得を制御することによって、両雑音制御回路151A、152Aの利得を等しくすることができ、これによって、ピクセルブロック101、102を構成する各ピクセルの能力が等しい限り、等しい光入力レベル時における、両雑音制御回路151A、152Aからの出力レベルが等しくなるようにすることができる。

【0033】このように、この例のイメージセンサでは、ピクセルアレイと周辺回路を、2分割して配置したので、ピクセルアレイ内の配線の負荷による遅延を小さくし、読み出しのフレームレートを向上させ、さらに、イメージセンサの設計工数を大幅に削減することができる。とともに、2分割したピクセルブロックに対して、感度比較・較正用ピクセルを設けることによって、分割して配置されたピクセルブロックに対応する各雑音制御回路内の出力用増幅器の利得ばらつきを検出するとともに、両出力増幅器の利得ばらつきの補正を行うことができる。

【0034】◇第4実施例

図4は、この発明の第4実施例であるイメージセンサの電氣的構成を示すブロック図である。この例のイメージセンサは、図4に示すように、ピクセルブロック101、102、103、104と、アドレスデコーダ111、112、113、114と、ロウスキャンシフトレジスタ121、122、123、124と、カラムスキャンシフトレジスタ131、132、133、134と、ロウドライバ141、142、143、144と、雑音制御回路151A、152A、153A、154Aと、クロック制御回路161、162、163、164と、感度比較・較正用ピクセル171、172、173、174とから概略構成されている。

【0035】この例において、ピクセルブロック101、102、103、104と、アドレスデコーダ111、112、113、114と、ロウスキャンシフトレジスタ121、122、123、124と、カラムスキャンシフトレジスタ131、132、133、134と、ロウドライバ141、142、143、144と、クロック制御回路161、162、163、164とは、それぞれ図2に示された第2実施例における、同じ符号の回路要素と同じ構成を有し、それらの機能もまた同様である。感度比較・較正用ピクセル171、172、173、174は、ピクセルアレイ100の有効画素領域外に設けられていて、図示されない制御部の制御

に基づいて、テスト時に、その光電変換出力を、それぞれ一対の雑音制御回路(151A, 152A), (151A, 153A), (152A, 154A), (153A, 154A)に読み出す。雑音制御回路151A, 152A, 153A, 154Aは、それぞれピクセルブロック101, 102, 103, 104における、各ビット線から読み出される、各ピクセルからの光電変換出力に対して、所要の雑音制御を行って出力を発生するとともに、図示されない制御部の制御に基づいて、感度比較・較正用ピクセル171, 172, 173, 174の読み出し出力に基づく、それぞれ一対の雑音制御回路(151A, 152A), (151A, 153A), (153A, 154A), (152A, 154A)の出力増幅器における、出力レベルの比較を行い、各一対の出力増幅器の間の利得ばらつきを検出するとともに、検出結果に基づいて両出力増幅器の利得を調整するように構成されている。

【0036】次に、図4を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101, 102, 103, 104では、図2の場合と同様にして、分割動作と分割読み出しを行って、ロウアドレスとカラムアドレスの指定に応じて、各ピクセルからの光電変換出力を発生し、雑音制御回路151A, 152A, 153A, 154Aでは、これに対して、それぞれ所要の雑音制御を行って出力を発生する。この際、図示されない制御部の制御に応じて、感度比較・較正用ピクセル171, 172, 173, 174の読み出し出力に基づく、それぞれ一対の雑音制御回路(151A, 152A), (151A, 153A), (152A, 154A), (153A, 154A)の出力増幅器における、出力レベルの比較を行うことによって、各雑音制御回路151A, 152A, 153A, 154Aにおける、出力増幅器を含むそれぞれの利得ばらつきの有無と大きさを知ることができる。さらに、図示されない制御部の制御に基づいて、出力レベルの検出結果に基づいて、各雑音制御回路151A, 152A, 153A, 154Aにおける、それぞれの出力増幅器の利得を制御することによって、各雑音制御回路151A, 152A, 153A, 154Aの利得を等しくすることができ、これによって、ピクセルブロック101, 102, 103, 104を構成する各ピクセルの能力が等しい限り、等しい光入力レベル時における、各雑音制御回路151A, 152A, 153A, 154Aからの出力レベルが等しくなるようにすることができる。

【0037】このように、この例のイメージセンサでは、ピクセルアレイと周辺回路を、4分割して配置したので、ピクセルアレイ内の配線の負荷による遅延が小さく、読み出しのフレームレートを向上させ、さらに、イメージセンサの設計工数を大幅に削減することができる。とともに、4分割したピクセルブロックに対して、2つ

のピクセルブロックごとに、感度比較・較正用ピクセルを設けることによって、分割して配置されたピクセルブロックに対応する各雑音制御回路内の出力用増幅器の利得ばらつきを検出するとともに、両出力増幅器の利得ばらつきの補正を行うことができる。

【0038】◇第5実施例

図5は、この発明の第5実施例であるイメージセンサの電氣的構成を示すブロック図である。この例のイメージセンサは、図5に示すように、ピクセルブロック101, 102と、アドレスデコーダ111, 112と、ロウスキャンシフトレジスタ121, 122と、カラムスキャンシフトレジスタ131, 132と、ロウドライバ141, 142と、雑音制御回路151, 152と、クロック制御回路161, 162と、アナログディジタル(A/D)変換器181, 182とから概略構成されている。

【0039】この例において、ピクセルブロック101, 102と、アドレスデコーダ111, 112と、ロウスキャンシフトレジスタ121, 122と、カラムスキャンシフトレジスタ131, 132と、ロウドライバ141, 142と、雑音制御回路151, 152と、クロック制御回路161, 162とは、それぞれ図1に示された第1実施例における、同じ符号の回路要素と同じ構成を有し、それらの機能もまた同様である。A/D変換器181, 182は、それぞれピクセルブロック101, 102からカラムごとに読み出され、雑音制御回路151, 152において雑音制御を行われた、アナログ信号からなる出力を、ディジタル信号に変換して出力する。

【0040】次に、図5を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101, 102では、図1の場合と同様にして、分割動作と分割読み出しを行って、ロウアドレスとカラムアドレスの指定に応じて、各ピクセルからの光電変換出力を発生し、雑音制御回路151, 152では、これに対して、それぞれ所要の雑音制御を行って出力を発生する。A/D変換器181, 182は、それぞれ雑音制御回路151, 152からの、アナログ信号からなる出力を、ディジタル信号に変換して出力する。

【0041】イメージセンサを用いた映像機器において、アナログ信号配線を長く引き回すことによって、出力増幅器の利得ばらつきや、電源及び周辺回路などから混入する雑音の影響を受ける可能性が高くなり、映像出力レベルのばらつきや雑音の原因となる場合がある。そこで、ピクセルアレイの近くにA/D変換器において、雑音制御回路からのアナログ信号からなる出力を、ディジタル信号に変換して出力するようにすれば、アナログ信号の引き回しが少なくなり、映像出力レベルにばらつきを生じる恐れが少なくなるとともに、ノイズを低減することができる。

【0042】このように、この例のイメージセンサでは、ピクセルアレイと周辺回路を、2分割して配置したので、ピクセルアレイ内の配線の負荷による遅延を小さくし、読み出しのフレームレートを向上させ、さらに、イメージセンサの設計工数を大幅に削減することができる。また、雑音制御回路出力にA/D変換器を設けて、イメージセンサ出力をデジタル信号化したので、映像出力におけるレベルばらつきとノイズを低減することができる。

【0043】◇第6実施例

図6は、この発明の第6実施例であるイメージセンサの電氣的構成を示すブロック図である。この例のイメージセンサは、図6に示すように、ピクセルブロック101、102、103、104と、アドレスデコーダ111、112、113、114と、ロウスキャンシフトレジスタ121、122、123、124と、カラムスキャンシフトレジスタ131、132、133、134と、ロウドライバ141、142、143、144と、雑音制御回路151、152、153、154と、クロック制御回路161、162、163、164と、アナログデジタル(A/D)変換器181、182、183、184とから概略構成されている。

【0044】この例において、ピクセルブロック101、102、103、104と、アドレスデコーダ111、112、113、114と、ロウスキャンシフトレジスタ121、122、123、124と、カラムスキャンシフトレジスタ131、132、133、134と、ロウドライバ141、142、143、144と、クロック制御回路161、162、163、164とは、それぞれ図2に示された第2実施例における、同じ符号の回路要素と同じ構成を有し、それらの機能もまた同様である。A/D変換器181、182、183、184は、それぞれピクセルブロック101、102、103、104からカラムごとに読み出され、雑音制御回路151、152、153、154において雑音制御を行われた、アナログ信号からなる出力を、デジタル信号に変換して出力する。

【0045】次に、図6を参照して、この例のイメージセンサの動作を説明する。ピクセルブロック101、102、103、104では、図2の場合と同様にして、分割動作と分割読み出しを行って、ロウアドレスとカラムアドレスの指定に応じて、各ピクセルから光電変換出力を発生し、雑音制御回路151、152、153、154では、これに対して、それぞれ所要の雑音制御を行って出力を発生する。A/D変換器181、182、183、184は、それぞれ雑音制御回路151、152、153、154からの、アナログ信号からなる出力を、デジタル信号に変換して出力する。

【0046】イメージセンサを用いた映像機器において、アナログ信号配線を長く引き回すことによって、出

力増幅器の利得ばらつきや、電源及び周辺回路などから混入する雑音の影響を受ける可能性が高くなり、映像出力レベルのばらつきや雑音の原因となる場合がある。そこで、ピクセルアレイの近くにA/D変換器を置いて、雑音制御回路からのアナログ信号からなる出力を、デジタル信号に変換して出力するようにすれば、アナログ信号の引き回しが少なくなり、映像出力レベルにばらつきを生じる恐れが少なくなるとともに、ノイズを低減することができる。

【0047】このように、この例のイメージセンサでは、ピクセルアレイと周辺回路を、4分割して配置したので、ピクセルアレイ内の配線の負荷による遅延を小さくし、読み出しのフレームレートを向上させ、さらに、イメージセンサの設計工数を大幅に削減することができる。また、雑音制御回路出力にA/D変換器を設けて、イメージセンサ出力をデジタル信号化したので、映像出力におけるレベルばらつきとノイズを低減することができる。

【0048】◇第7実施例

図7は、この発明の第7実施例であるイメージセンサの製作方法を説明する図である。この例の露光用マスク21は、図7(a)に示すように、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン19A、19Bに対して、同じ添字によって対応する、列側の周辺回路のパターン20A1、20B1を、それぞれピクセルブロックのパターン19A、19Bの列側の外側に配置し、行側の周辺回路のパターン20A2、20B2を、それぞれピクセルブロックのパターン19A、19Bの行側の外側に配置したパターンを、1枚のマスク上に形成したものである。

【0049】ここで、ピクセルブロックのパターン19Aは、例えば第1実施例の場合のピクセルブロック101に対応するものであり、周辺回路のパターン20A1は、例えば第1実施例の場合の、アドレスデコーダ111、ロウスキャンシフトレジスタ111、ロウドライバ141、クロック制御回路161のパターンを含むものであり、周辺回路20A2のパターンは、例えば第1実施例の場合の、カラムスキャンシフトレジスタ131、雑音制御回路151のパターンを含むものである。他のピクセルブロックのパターン19Bと、周辺回路のパターン20B1、20B2との関係も同様である。また、周辺回路の構成が、第3実施例、第5実施例に対応するものである場合も同様である。

【0050】この際の回路設計とマスクレイアウトは、例えば、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2のみに対して行ったのち、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2とからなるパターンを左右に反転したものによって、ピクセルブロックのパターン19Bと周辺回路のパターン20B1、20B2とを形成

して、これをピクセルブロックのパターン19Bがピクセルブロックのパターン19Aの右側に隣接する位置に配置することによって、マスク21を作成する。

【0051】このようにして作成されたマスク21を用いて、イメージセンサを製作する場合には、図7(b)に示すように、マスク21を使用してシリコン基板上に1回の露光を行うことによって、ピクセルブロック22A、22Bが接続してなるピクセルアレイ220と、各ピクセルブロック22A、22Bの周囲にそれぞれ周辺回路(23A1、23A2)、(23B1、23B2)が配置されたイメージセンサ基板24の露光が行われるので、以後、現像等の周知の処理を行うことによって、イメージセンサのチップを製作することができる。

【0052】このように、この例のイメージセンサの製作方法では、一つのピクセルブロックとその周辺回路に対する回路設計とマスクレイアウトによって形成されたパターンと、このパターンを左右に反転して形成したパターンとによって、露光用マスクを作成し、この露光用マスクによる1回の露光によって、イメージセンサ基板を製作するので、イメージセンサの回路設計とマスクレイアウトに必要な工数を削減することができる。

【0053】◇第8実施例

図8は、この発明の第8実施例であるイメージセンサの製作方法を説明する図である。この例の露光用マスク21Aは、図8(a)に示すように、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン19A、19B、19C、19Dに対して、同じ添字によって対応する、列側の周辺回路のパターン20A1、20B1、20C1、20D1を、それぞれピクセルブロックのパターン19A、19B、19C、19Dの列側の外側に配置し、行側の周辺回路のパターン20A2、20B2、20C2、20D2を、それぞれピクセルブロックのパターン19A、19B、19C、19Dの行側の外側に配置したパターンを、1枚のマスク上に形成したものである。

【0054】ここで、ピクセルブロックのパターン19Aは、例えば第2実施例の場合のピクセルブロック101に対応するものであり、周辺回路のパターン20A1は、例えば第2実施例の場合の、アドレスデコーダ111、ロウスキャンシフトレジスタ121、ロウドライバ141、クロック制御回路161のパターンを含むものであり、周辺回路20A2のパターンは、例えば第2実施例の場合の、カラムスキャンシフトレジスタ131、雑音制御回路151のパターンを含むものである。他のピクセルブロックのパターン19B、19C、19Dと、周辺回路のパターン(20B1、20B2)、(20C1、20C2)、(20D1、20D2)との関係も同様である。また、周辺回路の構成が、第4実施例、第6実施例に対応するものである場合も同様である。

【0055】この際の回路設計とマスクレイアウトは、例えば、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2のみに対して行ったのち、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2とからなるパターンを左右に反転したものによって、ピクセルブロックのパターン19Bと周辺回路のパターン20B1、20B2とを形成して、これをピクセルブロックのパターン19Bがピクセルブロックのパターン19Aの右側に隣接する位置に配置し、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2とからなるパターンを上下に反転したものによって、ピクセルブロックのパターン19Cと周辺回路のパターン20C1、20C2とを形成して、これをピクセルブロックのパターン19Cがピクセルブロックのパターン19Aの下側に隣接する位置に配置し、ピクセルブロックのパターン19Aと周辺回路のパターン20A1、20A2とからなるパターンを左右と上下に反転したものによって、ピクセルブロックのパターン19Dと周辺回路のパターン20D1、20D2とを形成して、これをピクセルブロックのパターン19Dがピクセルブロックのパターン19Aの右下側の、ピクセルブロックのパターン19Bとピクセルブロックのパターン19Cとに隣接する位置に配置することによって、露光用マスク21Aを作製する。

【0056】このようにして作成された露光用マスクを用いて、イメージセンサを製作する場合には、図8(b)に示すように、マスク21Aを使用してシリコン基板上に1回の露光を行うことによって、ピクセルブロック22A、22B、22C、22Dが接続してなるピクセルアレイ221と、各ピクセルブロック22A、22B、22C、22Dの周囲にそれぞれ周辺回路(23A1、23A2)、(23B1、23B2)、(23C1、23C2)、(23D1、23D2)が配置されたイメージセンサ基板24Aの露光が行われるので、以後、現像等の周知の処理を行うことによって、イメージセンサのチップを製作することができる。

【0057】このように、この例のイメージセンサの製作方法では、一つのピクセルブロックとその周辺回路に対する回路設計とマスクレイアウトによって形成されたパターンと、このパターンを左右に反転して形成したパターンと、上下に反転して形成したパターンと、左右と上下に反転して形成したパターンとによって、露光用マスクを作成し、この露光用マスクによる1回の露光によって、イメージセンサ基板を製作するので、イメージセンサの回路設計とマスクレイアウトに必要な工数を削減することができる。

【0058】図9は、この発明の第9実施例であるイメージセンサの製作方法を説明する図である。この例の露光用マスクは、図9(a)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセル

ブロックのパターン25Aと、列側の周辺回路のパターン26A1と行側の周辺回路のパターン26A2とからなるパターンを有するマスク27Aと、図9(b)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン25Bと、列側の周辺回路のパターン26B1と行側の周辺回路のパターン26B2とからなるパターンを有するマスク27Bとからなっている。

【0059】ここで、ピクセルブロックのパターン25Aは、例えば第1実施例の場合のピクセルブロック101に対応するものであり、周辺回路のパターン26A1は、例えば第1実施例の場合の、アドレスデコーダ111、ロウスキャンシフトレジスタ121、ロウドライバ141、クロック制御回路161からなるパターンを含むものであり、周辺回路のパターン26A2は、例えば第1実施例の場合の、カラムスキャンシフトレジスタ131、雑音制御回路151からなるパターンを含むものである。他のピクセルブロックのパターン25Bと、周辺回路のパターン26B1、26B2との関係も同様である。また、周辺回路の構成が、第3実施例、第5実施例に対応するものである場合も同様である。

【0060】この際の回路設計とマスクレイアウトは、例えば、ピクセルブロックのパターン25Aと周辺回路のパターン26A1、26A2のみに対して行ってマスク27Aを作成し、マスク27Aのパターンを左右に反転したものによって、ピクセルブロックのパターン25Bと周辺回路のパターン26B1、26B2とからなるパターンを有するマスク27Bを作成する。

【0061】このようにして作製された露光用マスクを用いてイメージセンサを製作する場合には、図9(c)に示すように、マスク27A、27Bを使用して、順次、位置合わせを行いながら、シリコン基板上に2回の露光を行うことによって、ピクセルブロック28A、28Bが左右に接続してピクセルアレイ280を形成するとともに、各ピクセルブロック28A、28Bの周囲にそれぞれ周辺回路(29A1、29A2)、(29B1、29B2)が配置されたイメージセンサ基板30の露光が行われるので、以後、現像等の周知の処理を行うことによって、イメージセンサのチップを製作することができる。

【0062】このように、この例のイメージセンサの製作方法では、一つのピクセルブロックとその周辺回路のみに対する回路設計とマスクレイアウトによって形成したパターンによって作成した露光用マスクと、このパターンを左右に反転して形成したパターンによって作成した露光用マスクとを用い、順次、位置合わせしながら2回の露光を行うことによって、イメージセンサ基板を製作するので、イメージセンサの回路設計とマスクレイアウトに必要な工数を削減することができる。また、この例のイメージセンサの製作方法では、2枚の露光用マ

スクを用いて2回の露光を行って1つのイメージセンサのチップを作成するため、1枚の露光用マスクによって露光可能な面積に対して、最大2倍の面積規模のイメージセンサを製作することができる。

【0063】図10は、この発明の第10実施例であるイメージセンサの製作方法を説明する図である。この例の露光用マスクは、図10(a)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン25Aと、列側の周辺回路のパターン26A1と行側の周辺回路のパターン26A2とからなるパターンを有するマスク27Aと、同図

(b)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン25Bと、列側の周辺回路のパターン26B1と行側の周辺回路のパターン26B2とからなるパターンを有するマスク27Bと、同図(c)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン25Cと、列側の周辺回路のパターン26C1と行側の周辺回路のパターン26C2とからなるパターンを有するマスク27Cと、同図(d)に示すような、複数のピクセルを水平方向と垂直方向とに二次元に配列したピクセルブロックのパターン25Dと、列側の周辺回路のパターン26D1と行側の周辺回路のパターン26D2とからなるパターンを有するマスク27Dとからなっている。

【0064】ここで、ピクセルブロックのパターン25Aは、例えば第2実施例の場合のピクセルブロック101に対応するものであり、周辺回路のパターン26A1は、例えば第2実施例の場合の、アドレスデコーダ111、ロウスキャンシフトレジスタ121、ロウドライバ141、クロック制御回路161からなるパターンを含むものであり、周辺回路のパターン26A2は、例えば第2実施例の場合の、カラムスキャンシフトレジスタ131、雑音制御回路151からなるパターンを含むものである。他のピクセルブロックのパターン25B、25C、25Dと、周辺回路のパターン(26B1、26B2)、(26C1、26C2)、(26D1、26D2)との関係も同様である。また、周辺回路の構成が、第4実施例、第6実施例に対応するものである場合も同様である。

【0065】この際の回路設計とマスクレイアウトは、例えば、ピクセルブロックのパターン25Aと周辺回路のパターン26A1、26A2のみに対して行ってマスク27Aを作成し、マスク27Aのパターンを左右に反転したものによって、ピクセルブロックのパターン25Bと周辺回路のパターン26B1、26B2とからなるパターンを有するマスク27Bを作製し、マスク27Aのパターンを上下に反転したものによって、ピクセルブロックのパターン25Cと周辺回路のパターン26C1、26C2とからなるパターンを有するマスク27C

を作成し、マスク 27A のパターンを左右と上下に反転したものによって、ピクセルブロックのパターン 25D と周辺回路のパターン 26D1、26D2 とからなるパターンを有するマスク 27D を作成する。

【0066】このようにして作成された露光用マスクを用いてイメージセンサを製作する場合には、同図 (e) に示すように、マスク 27A、27B、27C、27D を使用して、順次、位置合わせを行いながら、シリコン基板上に 4 回の露光を行うことにより、ピクセルブロック 28A、28B、27C、27D が左右上下に接続してピクセルアレイ 281 を形成するとともに、各ピクセルブロック 28A、28B、27C、27D の周囲にそれぞれ周辺回路 (29A1、29A2)、(29B1、29B2)、(29C1、29C2)、(29D1、29D2) が配置されたイメージセンサ基板 30A の露光が行われるので、以後、現像等の周知の処理を行うことにより、イメージセンサのチップを製作することができる。

【0067】このように、この例のイメージセンサの製作方法では、一つのピクセルブロックとその周辺回路に対する回路設計とマスクレイアウトによって形成したパターンによって作成した露光用マスクと、このパターンを左右に反転して形成したパターンによって作成した露光用マスクと、上下に反転して形成したパターンによって作成した露光用マスクと、左右と上下に反転して形成したパターンによって作成した露光用マスクとを用い、順次、位置合わせしながら 4 回の露光を行うことによって、イメージセンサ基板を製作するので、イメージセンサの回路設計とマスクレイアウトに必要な工数を削減することができる。また、この例のイメージセンサの製作方法では、4 枚の露光用マスクを用いて 4 回の露光を行って 1 つのイメージセンサのチップを作成するため、1 枚の露光用マスクによって露光可能な面積に対して、最大 4 倍の面積規模のイメージセンサを製作することができる。

【0068】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、各ピクセルブロックとそれぞれの周辺回路とは、同時に動作させてもよく、又はそれぞれ異なる時刻に順次動作させるようにしてもよい。後者の方法によれば、イメージセンサを動作させるための電力を低減することができる。また、感度比較・較正用ピクセルとして、各ピクセルブロック内のピクセルを使用して、このピクセルに基づく雑音制御回路の出力を比較してばらつきを検出し、出力が等しくなるように両出力増幅器の利得の補正を行うようにしてもよく、この方法によれば、有効画素領域外に感度比較・較正用ピクセル及びその制御回路を設ける必要がなくなる。

【0069】

【発明の効果】以上説明したように、この発明のイメージセンサによれば、ピクセルアレイと周辺回路を、2 分割又は 4 分割して配置したので、ピクセルアレイ内の配線の負荷による遅延を小さくして、読み出しのフレームレートを向上させ、さらに、イメージセンサの設計工数を大幅に削減することができる。さらに、ピクセルアレイを 2 分割又は 4 分割したピクセルブロックに対して、感度比較・較正用ピクセルを設けたので、分割して配置されたピクセルブロックに対応する各雑音制御回路内の出力増幅器の利得ばらつきを検出するとともに、利得ばらつきの補正を行うことができる。また、雑音制御回路出力に A/D 変換器を設けて、イメージセンサ出力をデジタル信号化したので、アナログ信号の引き回しが少なくなり、映像出力においてレベルばらつきを生じる恐れが少なくなるとともに、ノイズを低減することができる。また、2 枚又は 4 枚の露光用マスクを用いて、2 回又は 4 回の露光を行うことによって、1 つのイメージセンサのチップを製作するため、1 枚の露光用マスクで露光可能な面積に対して、最大 2 倍又は 4 倍の面積規模のイメージセンサを製作することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図 2】この発明の第 2 実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図 3】この発明の第 3 実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図 4】この発明の第 4 実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図 5】この発明の第 5 実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図 6】この発明の第 6 実施例であるイメージセンサの電氣的構成を示すブロック図である。

【図 7】この発明の第 7 実施例であるイメージセンサの製作方法を説明するための説明図である。

【図 8】この発明の第 8 実施例であるイメージセンサの製作方法を説明するための説明図である。

【図 9】この発明の第 9 実施例であるイメージセンサの製作方法を説明するための説明図である。

【図 10】この発明の第 10 実施例であるイメージセンサの製作方法を説明するための説明図である。

【図 11】従来の CMOS 型イメージセンサの構成を示す図である。

【符号の説明】

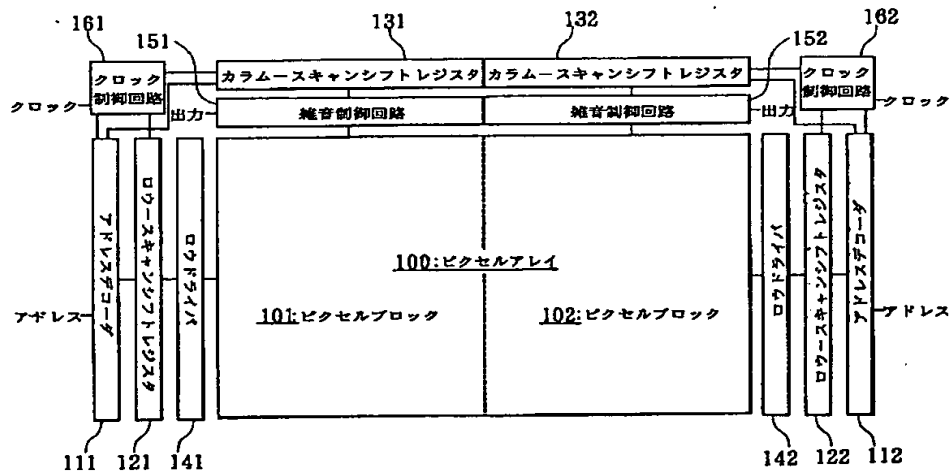
19A、19B、19C、19D、25A、25B、25C、25D ピクセルブロックのパターン

20A1、20B1、20C1、20D1、26A1、26B1、26C1、26D1

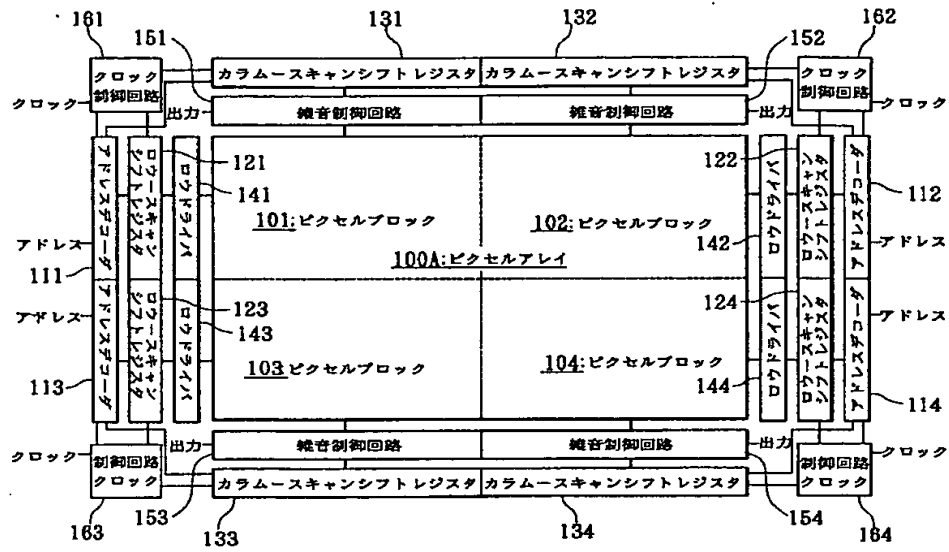
列側の周辺回路のパターン

20A2, 20B2, 20C2, 20D2, 26A2, 26B2, 26C2, 26D2	ダ	121, 122, 123, 124	ロウスキャンシフトレジスタ (ロウ選択手段)
行側の周辺回路のパターン		131, 132, 133, 134	カラムスキャンシフトレジスタ (カラム選択手段)
21, 21A, 27A, 27B, 27C, 27D		141, 142, 143, 144	ロウドライバ (ロウ選択手段)
露光用マスク		151, 151A, 152, 152A, 153, 153A, 154, 154A	雑音制御回路 (雑音制御手段)
22A, 22B, 22C, 22D, 28A, 28B, 28C, 28D	ピクセルブロック	161, 162, 163, 164	クロック制御回路
23A1, 23B1, 23C1, 23D1, 29A1, 29B1, 29C1, 29D1	列側の周辺回路	171, 172, 173, 174	感度比較・較正用ピクセル
23A2, 23B2, 23C2, 23D2, 29A2, 29B2, 29C2, 29D2	行側の周辺回路	181, 182, 183, 184	A/Dコンバータ (アナログデジタル変換手段)
24, 24A, 30, 30A	基板	220, 221, 280, 281	イメージセンサ
100, 100A	ピクセルアレイ		基板
101, 102, 103, 104	ピクセルブロック		
ク			
111, 112, 113, 114	アドレスデコー		

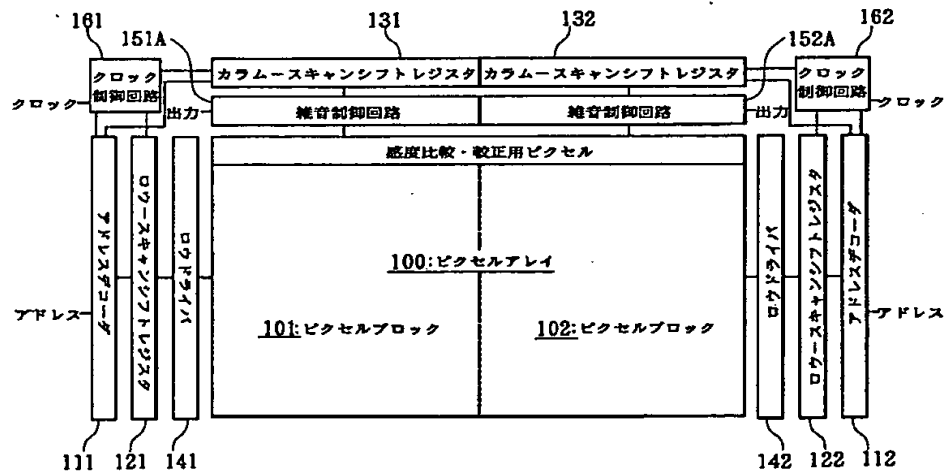
【図1】



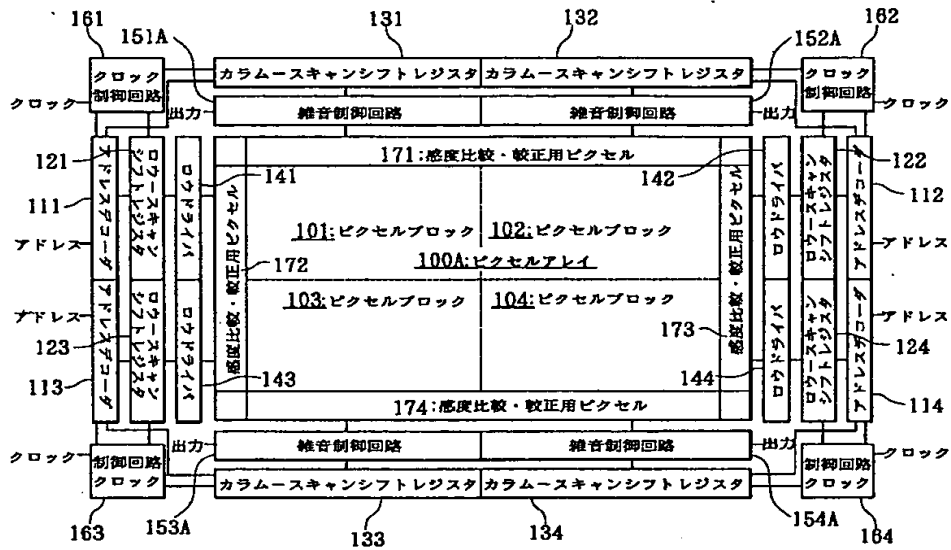
【図2】



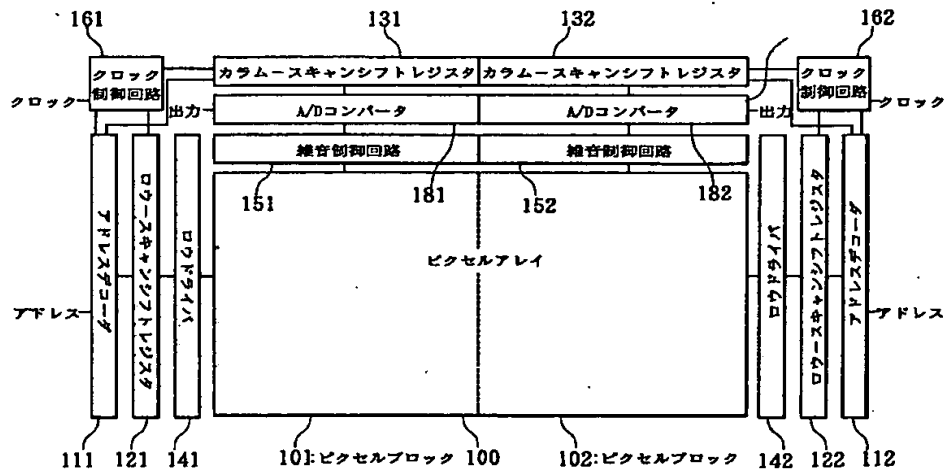
【図3】



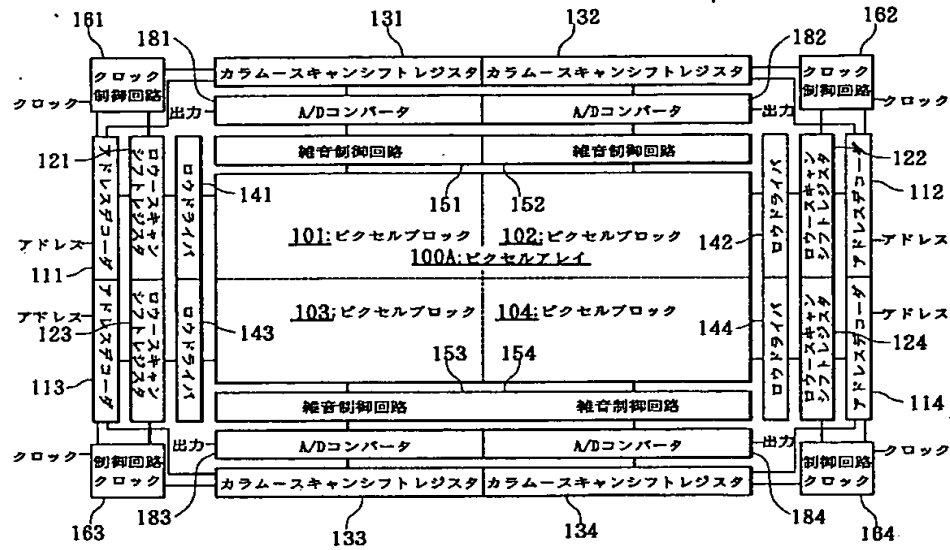
【図4】



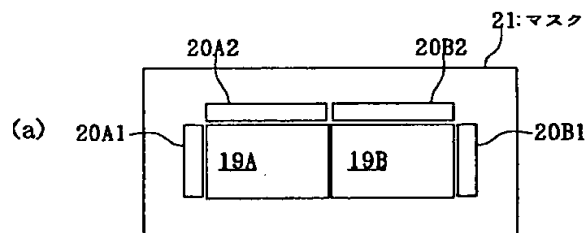
【図5】



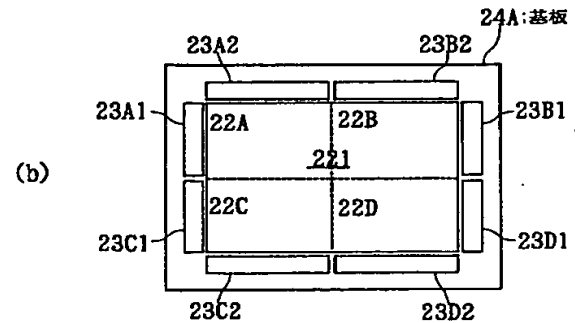
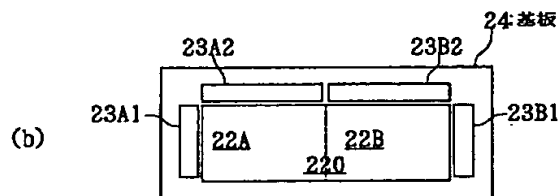
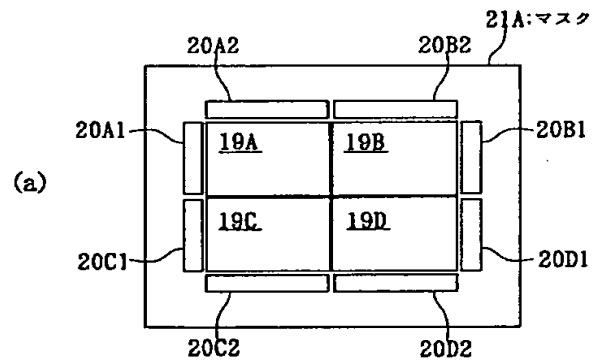
【図6】



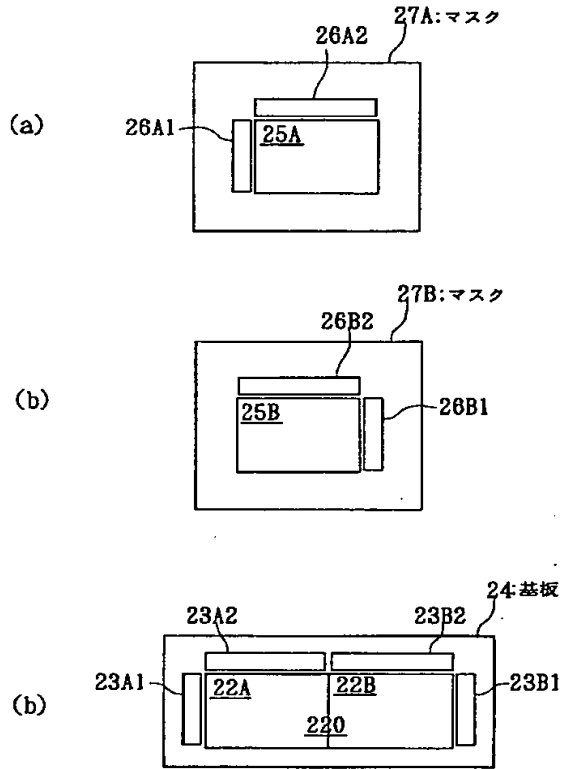
【図7】



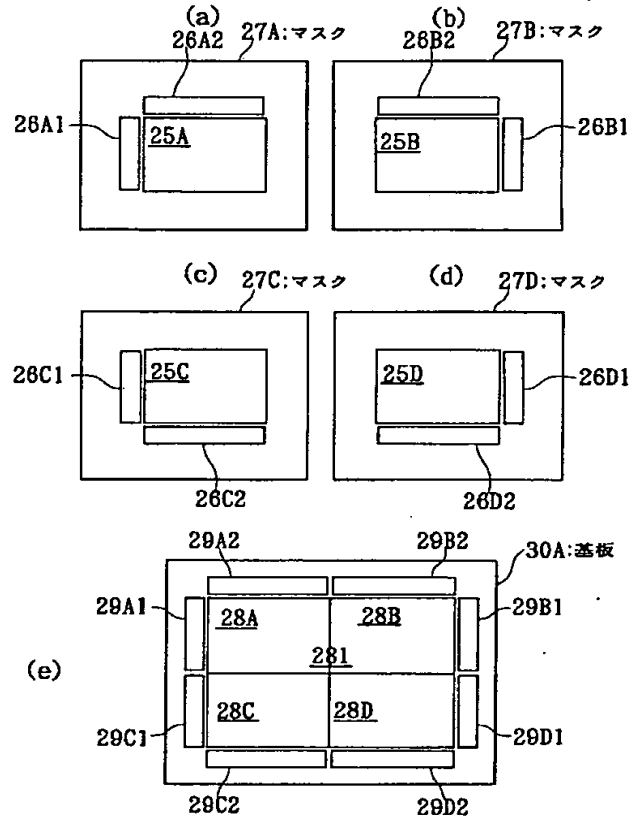
【図8】



【図9】



【図10】



【図11】

